

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-112203

(P2002-112203A)

(43) 公開日 平成14年4月12日 (2002.4.12)

(51) Int. Cl.

H04N 7/01

識別記号

F I

H04N 7/01

テマコード (参考)

G 5 C 0 6 3

審査請求 未請求 請求項の数10 OL (全10頁)

(21) 出願番号 特願2000-298295 (P2000-298295)

(22) 出願日 平成12年9月29日 (2000.9.29)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 宮沢 弘俊

東京都青梅市新町3丁目3番地の1 東芝

デジタルメディアエンジニアリング株式会
社内

(74) 代理人 100083161

弁理士 外川 英明

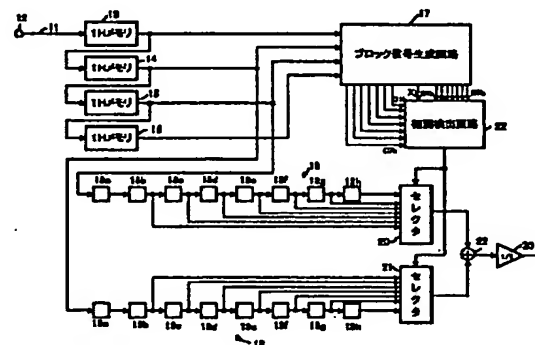
Fターム (参考) 5C063 BA04 BA09 CA01 CA38

(54) 【発明の名称】 補間信号生成装置

(57) 【要約】

【課題】 傾斜方向の絵柄のある映像信号をフィールド内補間する際にも、絵柄の傾斜縁が画面上ガタ付くのを抑える。

【解決手段】 ブロック信号生成回路に17において、補間画素位置を中心にして、点対称の位置関係にある画素対を抽出し、相関検出回路22で各画素対の画素情報の相関性を検出して、高相関性を有する画素対に基づいて補間画素情報を決定して補間信号を生成する。さらに、画素対の相関性の検出を、画素対の各画素を基準にしてその周囲の画素を含む領域の画素情報及び補間画素位置の周囲の領域の画素情報に基づいて行う。



【特許請求の範囲】

【請求項1】 各走査線がそれぞれ画素情報を有する複数の画素で構成されるテレビジョン信号の走査線の間を補間する補間信号を生成する補間信号生成装置において、

前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接走査線の所定範囲内における点対象の関係にある画素の組合わせを複数抽出する抽出手段と、

前記抽出した各画素対のそれぞれの画素情報の差分を求め、当該差分値から前記各画素対の相関性を検出する検出手段と、

前記検出手段で決定された相関性に基づき、補間画素情報を決定して補間信号を発生する発生手段と、
を具備したことを特徴とする補間信号生成装置。

【請求項2】 前記抽出手段は、前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接する走査線の所定範囲内における点対象の関係にある2画素の組合わせを全て抽出し、

前記検出手段は、前記抽出した各画素対のそれぞれの画素情報の差分を求め、当該差分値から前記各画素対の最も相関性の高い画素対を決定するものであることを特徴とする請求項1に記載の補間信号生成装置。

【請求項3】 各走査線が複数の画素で構成されるテレビジョン信号の走査線の間を補間する補間信号を生成する補間信号生成装置において、前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接する走査線の点対象の関係にある2画素の組合わせを抽出する抽出手段と、

前記抽出した画素対のそれぞれの画素を基準にしてこの画素の周囲に存在する画素を含む複数の画素で構成される第1及び第2の領域を特定し、各領域内の各画素情報をそれぞれ累積加算する加算手段と、

前記第1及び第2の領域における累積加算値の差分を求め、当該差分値から前記各画素対の相関性を検出する検出手段と、

前記検出手段の検出結果に基づき、補間画素情報を決定して補間信号を発生する発生手段と、

を具備したことを特徴とする補間信号生成装置。

【請求項4】 各走査線が複数の画素で構成されるテレビジョン信号の走査線の間を補間する補間信号を生成する補間信号生成装置において、

前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接する走査線の点対象の関係にある2画素の組合わせを抽出する抽出手段と、

前記抽出した画素対のそれぞれの画素を基準としてこの画素の周囲に存在する画素を含む複数の画素で構成される第1及び第2の領域を特定すると共に、前記補間画素位置を中心として隣接する前記走査線の複数の画素で構成される第3の領域を特定し、各領域内の各画素情報を

それぞれ累積加算する加算手段と、

前記第1の領域の加算値と前記第3の領域の加算値の差分と前記第2領域の加算値と前記第3の領域の差分とに基づいて、前記各画素対の相関性を検出する検出手段と、

前記検出手段の検出結果に基づき、補間画素情報を特定して補間信号を発生する発生手段と、

を具備したことを特徴とする補間信号生成装置。

【請求項5】 前記検出手段は、前記相関性検出のための基準となる差分が最小と検出された画素対が最も相関性の高い画素対であると認定して、この画素対に基づいて補間信号が生成されるように検出出力を前記発生手段に出力するものであることを特徴とする請求項3または4に記載の補間信号生成装置。

【請求項6】 前記第1及び第2領域は、それぞれ、中心となる画素と、この画素の垂直方向、水平方向及び斜め方向に隣接する画素とで構成されるものであることを特徴とする請求項3または4に記載の補間信号生成装置。

【請求項7】 前記第3の領域は、前記補間画素位置の垂直方向、水平方向及び斜め方向に隣接する画素で構成されるものであることを特徴とする請求項4に記載の補間信号生成装置。

【請求項8】 前記第1及び第2の領域を構成する複数の画素の画素情報に対して、それぞれ中心画素からの距離に応じて値の異なる所定の係数が掛けられていることを特徴とする請求項6に記載の補間信号生成装置。

【請求項9】 前記第3の領域を構成する複数の画素情報に対して、前記補間画素からの距離に応じて値の異なる所定の係数が掛けられていることを特徴とする請求項7に記載の補間信号生成装置。

【請求項10】 前記検出回路は、前記画素対の相関を検出するに際して、前記補間画素位置からの距離に応じたオフセット量を加味することを特徴とする請求項1、3及び4のいずれかに記載の補間信号生成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インターレース方式のテレビジョン信号を順次走査信号に変換するための順次走査変換装置等に適用される補間信号生成装置に関し、特に動画部分の画質の劣化を抑制することを可能にした補間信号を生成する回路に関する。

【0002】

【従来の技術】インターレース方式のテレビジョン信号を順次走査式のテレビジョン信号に変換する際に、映像が静止画である場合には、1フレームを構成する2つのフィールド信号をそのまま互いの走査線間に嵌め込む、いわゆるフィールド間補間を行なうことで問題なく順次走査方式に変換することが可能であるが、映像が動画の場合には、フィールド間補間を行うと垂直の線が2本に

見えたり、物体のエッジが鋸歯状になる等の歪が発生し、画質品位を著しく損なうことがある。このため、動画部分で、同じフィールド内の隣接走査線の映像情報に基づいて補間信号を生成し、当該補間信号を、それら走査線の間に嵌め込むいわゆるフィールド内補間を行っている。

【0003】すなわち、順次走査変換装置としては、図9に示すように、入力端子81に供給される映像信号82の動きを検出する動き検出回路83と、静止画補間信号生成装置84と、動画補間信号生成装置85と、動き検出回路83の検出出力に基づき静止画補間信号と動画補間信号を混合するミキサ86と、ミキサ86の出力を入力映像信号82の対応する走査線の間に嵌め込むように動作するセレクトア87と、セレクトア87の出力映像信号の水平走査線周波数を2倍にする倍速変換回路88を備えている。

【0004】動き検出回路83は、フレームメモリを備え、フレーム間の映像信号を比較して、一致しない部分を動画部分として認識して検出信号を出力する。

【0005】静止画補間信号生成装置84は、フィールドメモリを有し、1フィールド前の映像信号をそのまま補間信号として出力する。

【0006】動画補間信号生成装置85では、1水平走査期間(1H)分の映像信号を蓄えるメモリを有し、このメモリを遅延線として利用して現在の映像信号と1H前の映像信号を加算した信号に基づいて補間信号を生成して出力する。

【0007】このような、インターレース順次走査変換装置は、例えば特開平3-179890号公報に示されている。

【0008】図10は、動画補間信号生成装置86の具体的ブロック図であり、入力端子91に供給される映像信号82を1H遅延する遅延線として機能する1Hメモリ92と、映像信号82と1Hメモリ92の出力を加算する加算器93と、加算器93の出力信号の利得を1/2にして出力する増幅器94とで構成されている。

【0009】すなわち、図9に示す回路では、隣接する1Hの映像信号の平均、つまり画面垂直方向の画素情報の平均を取り、さらにその利得を1/2にして補間信号として出力している。

【0010】この出力信号が、補間信号を作った元の走査線の間に補間されるものであり、今、2つの隣接する走査線a、bにおいて、それぞれ走査開始点から同じ位置に存在する画素をY_a、Y_bとすると、補間画素の輝度Y_mは、 $Y_m = (Y_a + Y_b) / 2$ となる。

【0011】補間が行われた後の画面の表示状態を、図11に模式的に示す。走査線aでは、最初から4個までの画素が高輝度であり、以降低輝度となり、走査線bでは、最初から2個までの画素が高輝度でそれ以降は低輝度となるとすると、補間信号の走査線Xでは画面垂直方向

に輝度が異なる画素が平均化されたものになっている。すなわち、補間する前に比べて、平均化された画素が画面垂直上方向に進出した状態になっており、それら画素によって形成される絵柄の境界線のガタ付き度が強調されてしまっている。

【0012】このように従来の順次走査変換装置では、静止画では問題のない補間が可能であるが、動画部分に対応してフィールド内補間信号を作成する回路が必ずしもあらゆる絵柄に適応しているとは言えず、絵柄の特に傾斜方向の境界部分でガタ付きが強調されてしまって満足できる順次走査変換が行えない状況にあった。

【0013】

【発明が解決しようとする課題】従来の補間信号生成装置は、動画部分の補間信号を、隣接走査線間の映像信号を垂直方向に平均化して出力しているだけであり、その補間信号が補間された画面は、絵柄によってはその境界部分でガタ付きが強調されて見難い画面となるという問題があった。

【0014】この発明は、以上の問題に鑑みてなされたもので、画素を補間する位置を中心に、点対称となる位置関係にある画素の対の画素情報の相関を検出して、その結果に基づいて補間信号を得るようにすることで、ガタ付きが目立たない補間信号を出力することができる補間信号生成装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明による補間信号生成装置は、各走査線がそれぞれ画素情報を有する複数の画素で構成されるテレビジョン信号の走査線の間に補間する補間信号を生成する補間信号生成装置において、前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接走査線の所定範囲内における点対象の関係にある画素の組合わせを複数抽出する抽出手段と前記抽出した各画素対のそれぞれの画素情報の差分を求め、当該差分値から前記各画素対の相関性を検出する検出手段と、前記検出手段で決定された相関性に基づき、補間画素情報を決定して補間信号を発生する発生手段とを具備したことを特徴とする。

【0016】それによれば、画素を補間しようとする位置を中心にして、点対称となる位置関係にある画素対の画素情報の相関を検出して、最も相関性の高い画素対を特定し、この特定した画素情報に基づいて補間信号を生成するようにしたので、斜め方向に境界を有する形状であっても補間後の画面表示はガタ付きが抑えられ、画質を向上させることができる。

【0017】さらに、本発明の補間信号生成装置は、各走査線が複数の画素で構成されるテレビジョン信号の走査線の間に補間する補間信号を生成する補間信号生成装置において、前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接する走査線の点対象の関係にある2画素の組合わせを抽出する抽出手段と、

前記抽出した画素対のそれぞれの画素を基準にしてこの画素の周囲に存在する画素を含む複数の画素で構成される第1及び第2の領域を特定し、各領域内の各画素情報をそれぞれ累積加算する加算手段と、前記第1及び第2の領域における累積加算値の差分を求め、当該差分値から前記各画素対の相関性を検出する検出手段と、前記検出手段の検出結果に基づき、補間画素情報を決定して補間信号を発生する発生手段とを具備したことを特徴とする。

【0018】これによれば、補間画素位置に対して点対称にある所定領域の画素情報、すなわち絵柄情報単位で相関性を検出して、補間画素情報を特定するようにしているのにより確かな補間が可能となるものである。

【0019】さらに本発明によれば、各走査線が複数の画素で構成されるテレビジョン信号の走査線の間を補間する補間信号を生成する補間信号生成装置において、前記補間信号の画素位置を中心にして、当該補間信号を補間しようとする隣接する走査線の点対象の関係にある2画素の組合わせを抽出する抽出手段と、前記抽出した画素対のそれぞれの画素を基準としてこの画素の周囲に存在する画素を含む複数の画素で構成される第1及び第2の領域を特定すると共に、前記補間画素位置を中心として隣接する前記走査線の複数の画素で構成される第3の領域を特定し、各領域内の各画素情報をそれぞれ累積加算する加算手段と、前記第1の領域の加算値と前記第3の領域の加算値の差分と前記第2領域の加算値と前記第3の領域の差分とに基づいて、前記各画素対の相関性を検出する検出手段と、前記検出手段の検出結果に基づき、補間画素情報を決定して補間信号を発生する発生手段とを具備したことを特徴とする。

【0020】これによれば、補間画素位置周辺の所定領域の画素情報をも加味して、補間画素位置に対して点対称となる領域の画素情報すなわち絵柄情報単位で相関性を検出して補間画素情報を決定するようにしているのにより確かな補間が可能となるものである。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の補間信号生成装置の一実施の形態について詳細に説明する。

【0022】図1は、本発明の補間信号生成装置のブロック図である。

【0023】図において、入力映像信号11が供給される入力端子12には、1H分の画素情報を蓄積することのできる第1の1Hメモリ13が接続され、この第1の1Hメモリの出力は、第1の1Hメモリと同じ構成の第2の1Hメモリ14に供給されると共に、画素のブロックを特定してブロック毎にブロック出力信号を出力するブロック信号生成回路17に供給されている。同様に、第2の1Hメモリ14の出力が、第3の1Hメモリ15とブロック信号生成回路17に供給され、第3の1Hメモ

リ15の出力が第4の1Hメモリ16とブロック信号生成回路17に供給されている。

【0024】さらに第2の1Hメモリ14の出力は、直列接続された8個のレジスタ18a~18hで構成される第1のレジスタ群18の先頭のレジスタ18aに供給されている。

【0025】また、第3の1Hメモリ15の出力は、第1のレジスタ群と同様に直列接続された8個のレジスタ19a~19hで構成される第2のレジスタ群19の先頭のレジスタ19aに接続されている。

【0026】これらレジスタ群18、19の各レジスタ18a~18h、19a~19hはそれぞれ隣接する走査線の各画素情報を蓄積し、かつ順次シフトするように動作するものであり、レジスタ18b~18hの各出力が、第1のセクタ20に供給されており、レジスタ19b~19hの各出力が第2のセクタ21に供給されている。

【0027】相関検出回路22は、ブロック信号生成回路17から出力されるブロック出力信号B1b~B7b、C7b~C1b及びXbに基づいて、後述する画素対の相関を検出して検出結果を第1及び第2のセクタ20、21に供給し、第1及び第2のレジスタ群18、19からそれぞれ相関のある画素情報を選択して加算器22に出力する。

【0028】加算器22は、入力画素情報を加算して1/2の利得で増幅する増幅器23に供給し、この増幅器23から補間信号が出力される。

【0029】本発明の補間信号生成装置の具体例は以上のように構成されるが、その動作を図2、3、4を参照して説明する。

【0030】図1において、入力端子12に供給された映像信号11は、連続的に第1~第4の1Hメモリ13~16に順次蓄積される。これら、1Hメモリ13~16に蓄積される映像信号の画素情報の一部を図2に模式的に示す。

【0031】すなわち、映像信号の第1の走査線Aは画素A0、A1、A2、A3、A4、A5、A6、A7、A8を順に有して第4の1Hメモリ16に蓄積され、第2の走査線Bは、B0、B1、B2、B3、B4、B5、B6、B7、B8を順に有して第3の1Hメモリ15に蓄積され、第3の走査線Cは、C8、C7、C6、C5、C4、C3、C2、C1、C0を順に有して第2の1Hメモリ14に蓄積され、第4の走査線Dは、D8、D7、D6、D5、D4、D3、D2、D1、D0を順に有して、第1の1Hメモリ13に蓄積されている。

【0032】第2の1Hメモリ14と第3の1Hメモリ15に蓄積された映像信号11は、読出されて、第1及び第2のレジスタ群18、19に順次蓄積される。

【0033】一方、第1~第4の1Hメモリ13~16

に蓄積された映像信号11は、それぞれ読出されてブロック信号生成回路17に供給される。

【0034】図2に示すように、走査線BのB4画素と走査線CのC4画素の間を補間画素×で補間しようとする場合、ブロック信号生成回路17は、まず、補間画素×の垂直方向上下の走査線B、Cに存在する画素の中から、補間画素に対応する画素B4、C4を中心にして水平方向左右にそれぞれ計 $(2n-1)$ 個の画素A1~A7、B7~B1(この場合 $n=4$)の画素で構成される図において点線で示した第1の領域201を特定する。

【0035】ブロック信号生成回路17はさらに、領域201における補間画素×を中心にして点対称の位置関係にある7通りの画素の対B1-C1、B2-C2、B3-C3、B4-C4、B5-C5、B6-C6、B7-C7をそれぞれ抽出し、さらに各画素対の画素を中心として、それぞれ、水平方向に3画素、垂直方向に3走査線の画素で構成される第2の領域202と第3の領域203を特定する。

【0036】図2では、画素B5と画素C5の対についての例が示され、画素A4、A5、A6と画素B4、B5、B6及び画素C4、C3、C2で構成される領域202と、画素B2、B3、B4と画素C6、C5、C4及び画素D6、D5、D4で構成される領域203を特定する。

【0037】図2から容易に解るように、これら領域202、203は、抽出された各画素対の画素を中心にして、垂直方向、水平方向及び斜め方向にそれぞれ画素1個を含む領域であり、これら画素によって絵柄の少なくとも1部が構成される。

【0038】ブロック信号生成回路17は、さらにこのように特定された領域202、203の各画素情報に、各画素対の画素を中心にして所定の係数を乗じて、フィルタリング処理を施す。すなわち、図3に示すように、領域の中心に位置する画素対の画素B5の画素情報に $1/4$ を乗じ、垂直方向に隣接する画素A5、C3と水平方向に隣接する画素B5、B6の各画素情報にそれぞれ $1/8$ の係数を乗じ、斜め方向の画素A4、A6、C4、C2の画素情報にそれぞれ $1/16$ の係数を乗じる。この処理により、各領域毎に水平方向及び垂直方向の高周波成分が抑制されて低周波成分が抽出される。

【0039】ブロック信号生成回路17は、次に、領域202、203においてそれぞれ、係数を乗じた全ての画素情報を累積加算する。この領域特定、フィルタリング処理及び加算処理を、補間画素位置×と点対称の位置関係にある画素対の各画素についてそれぞれ行い、各画素対の各画素毎にブロック信号B1b~B7bと、C7b~C1bとして出力する。すなわち、各画素対の一方の画素に対応する7個の出力がブロック信号B1b~B7bであり、各画素対の他方の画素に対応する7個の出力がブロック信号C7b~C1bである。

【0040】例えば、画素B5を中心とした領域202のブロック信号B5bは、

$$B5b = (A4/16) + (A5/8) + (A6/16) + (B4/8) + (B5/4) + (B6/8) + (C4/16) + (C3/8) + (C2/16)$$

で得られる。

【0041】同様に、画素C5を中心とした領域203のブロック信号C5bは、

$$C5b = (B2/16) + (B3/8) + (B4/16) + (C6/8) + (C5/4) + (C4/8) + (D6/16) + (D5/8) + (D4/16)$$

で得られる。

【0042】相関検出回路22は、ブロック信号出力回路17から出力されるブロック信号を、各画素対毎に差分を取り、差が最も少ない画素対を最も相関性の高い画素対であると認識して、それらの画素情報を選択する検出信号を第1及び第2のセクタ20、21に供給する。

【0043】第1のレジスタ群18の各レジスタ18a~18hには、第3の1Hメモリ15から読出された走査線の画素情報が順次転送されており、補間画素位置に対応する位置の画素(図2では画素B4)がレジスタ18eに蓄積され、その前後のレジスタ18b~18dと18g~18hに、補間画素位置の前後に位置する画素(図2では画素B1~B3と画素B5~B7)の各画素情報が蓄積され、以後補間画素位置が移動するにしたがって、レジスタ18a~18hの画素情報もシフトしていく。

【0044】また、第2のレジスタ群19の各レジスタ19a~19hには、第2の1Hメモリ14から読出された走査線の画素情報が順次転送されており、補間画素位置に対応する画素(図2では画素C4)がレジスタ19eに蓄積され、その前後のレジスタ19b~19dと19g~19hに、補間画素位置の前後に位置する画素(図2では画素C7~C5と画素C3~C1)の各画素情報が蓄積され、以後補間画素位置が移動するにしたがって、レジスタ19a~19hの画素情報もシフトしていく。

【0045】図2に示す補間画素位置×に対して、最も相関性の高い画素対は、第2の走査線Bの画素B5と、第3の走査線Cの画素C5であり、相関検出回路22は、処理の結果として画素B5が蓄積されているレジスタ18fの出力を選択するように第1のセクタ20に検出信号を出力し、画素C5の情報が蓄積されているレジスタ19dの出力を選択するように第2のセクタ21に検出信号を出力する。

【0046】よって、加算器22において、画素B5とC5の画素情報が加算され、さらに増幅器23で利得を $1/2$ にされた画素情報が補間画素情報として出力される。すなわち、この場合、補間画素位置×に黒丸の画素

情報を持った画素が補間されることになる。

【0047】以上のような処理を各補間画素位置に対して行うことで、増幅器23から補間画素情報の集合である補間信号が出力される。

【0048】例えば、図2に示す画素配列の場合に、第2及び第3の走査線B、Cの間に補間される補間走査線Xは、図4に示すように、補間画素X2が、画素対B3-C7に基づき決定され、補間画素X3の画素情報が画素対B4-C6に基づき決定され、補間画素X4の画素情報が前述のように画素対B5-C5に基づき決定され、同様に補間画素X5、X6の画素情報がそれぞれ、画素対B6-C4、B7-C3に基づいて決定される。

【0049】図4から明らかなように、画素情報として白丸と黒丸の境が斜めに存在するようになり、画面の傾斜部のガタ付きを抑えることができるものである。

【0050】以上のように本発明の第1の実施の形態によれば、補間画素位置を中心に点対称となる画素対を抽出して、それら画素対のうち最も相関の高い画素対を決定しその画素対に基づいて補間画素情報を決定するようにしたため、画面上傾斜する形状の外形のガタ付きを抑えてスムーズな表示を行わせることができるものである。さらに、画素対の画素情報の相関を、画素対に隣接する複数の画素を含めて検出の一部として検出するようにしたため、相関の検出精度が向上するものである。

【0051】次に、本発明の補間信号生成装置の第2の実施の形態について説明する。

【0052】第2の実施の形態では、ブロック信号出力回路17が、図2に示す補間画素Xに隣接する6個の画素B3、B4、B5とC5、C4、C3で構成される第4の領域204を特定し、この領域204の各画素情報に対して図5に示すように、補間画素Xからの距離に応じて係数を乗じてから累積加算してブロック信号Xbを出力するように構成されている。各画素に乘じられる係数は、補間画素Xの垂直方向が1/4であり、斜め方向がそれぞれ1/8である。

【0053】すなわち、補間画素位置が図2のXである場合のブロック信号Xbは、

$$Xb = (B3/8) + (B4/4) + (B5/8) + (C5/8) + (C4/4) + (C3/8)$$

となる。

【0054】この実施の形態では、相関検出回路22は、ブロック信号出力回路17から供給される各画素対の画素を中心とする第2及び第3の領域202、203のそれぞれの画素情報を累積加算したブロック信号B1b...B7b及びC7b...C1bと、第4の領域204のブロック信号Xbとの差分B1s...B7s及びC7s...C1sを取り、次にそれら差分どおしを加算して加算出力AD1...AD7を求める。

【0055】すなわち、図2の画素B5を中心とした領域202のブロック信号B5bと画素C5を中心とした

領域203のブロック信号C5bとの処理を行う場合、

$$B5s = B5b - Xb$$

$$C5s = C5b - Xb$$

$$AD5 = |B5s| + |C5s|$$

となる。

【0056】以上のような処理を、各画素対毎に行い、図2の第1の領域201に存在する7通りの画素対それぞれに加算出力AD1...AD7を求める。さらに、加算出力AD1...AD7に対して、画素対が補間画素Xから離れるにしたがって増加するオフセット数値Lを加算する。

【0057】AD5の場合には、 $AD5 = |B5s| + |C5s| + L$ となる。

【0058】相関検出回路22は、各加算出力AD1...AD7を比較して最も値の小さな加算出力に対応する画素対を特定してセレクタ20、21に、それらが蓄積されている第1及び第2のレジスタ群のレジスタ出力を選択する検出信号を供給する。

【0059】この実施の形態においては、前述した第1の実施の形態と同様に、傾斜する境界部分の表示をガタ付きなく行わせることができるものであり、さらに、画素対の相関の検出に、補間画素位置周辺の画素情報を加味したことにより、相関の検出精度をさらに高めることが可能である。

【0060】図6は、図1のブロック図のブロック信号生成回路17における各領域を特定してそれぞれの画素の画素情報を収集する回路の具体回路構成を示す回路図である。

【0061】ブロック信号生成回路17における画素情報収集回路は、第4の1Hメモリ16から読出された図2の第1の走査線Aを構成する画素情報が供給される入力端子51と、第3の1Hメモリ15から読出された図2の第2の走査線Bを構成する画素情報が供給される入力端子52と、第2の1Hメモリ16から読出された図2の第3の走査線Cを構成する画素情報が供給される入力端子53と、第1の1Hメモリ13から読出された図2の第4の走査線Dを構成する画素情報が供給される入力端子54を有している。各入力端子51~54は、それぞれ直列接続された9個のレジスタ51a...51i、52a...52i、53a...53i、54a...54iで構成されるレジスタ群に接続されている。

【0062】これら各レジスタ群の中央に位置するレジスタ51e、52e、53e、54eには、各走査線における、補間画素位置に対応する位置の画素情報が蓄積され、補間画素位置が移動することに応じて画素情報が順次シフトされる。

【0063】各レジスタ51a...51i、52a...52i、53a...53i、54a...54iに蓄積された画素情報は、各画素対毎にその周囲の画素情報に図3に示す所定の係数を掛ける増幅器を介した出力として纏めて後

述する加算器に送られる。

【0064】例えばレジスタ52bに図2に示すB1の画素情報が蓄積されているとすると、自己の画素情報が1/4増幅器を介して52b5出力として出力され、画素A0の画素情報であるレジスタ51aの情報が1/16増幅器を介して52b1信号として出力され、画素A1の画素情報を蓄積しているレジスタ51bの情報が1/8増幅器を介して52b2として出力され、画素A2の画素情報が蓄積されているレジスタ51cの情報が1/16増幅器を介して52b3として出力される。

【0065】同様にして、レジスタ52a(画素B0)の画素情報が1/8増幅器を介して52b4として出力され、レジスタ52c(画素B2)の画素情報が1/8増幅器を介して52b6として出力され、レジスタ52aの画素情報が(1/16増幅器を介して52b7として出力され、レジスタ52bの情報が1/8増幅器を介して52b8出力として出力され、画素52cの情報が1/16増幅器を介して52b9としてこれらが纏めて加算器に出力され累積加算が行われる。

【0066】図7は、ブロック信号生成回路において、画素情報収集回路で収集された、画素情報を各領域202、203、204毎に加算する加算器を示すブロック図である。

【0067】図7において、図2における第2の領域202内の各画素情報の全てを累積加算するための加算器55a~55gが設けられ、この加算器55a~55gにはそれぞれ、各画素情報を蓄積しているレジスタの出力が、図3に示す係数を乗ずる増幅器を介して供給されている。

【0068】加算器55aは、図2の画素B1を中心とした領域202の累積加算を行ってブロック出力B1bを出力し、加算器55b~55gはそれぞれ、画素B2、B3、B4、B5、B6、B7を中心とした領域202の累積加算出力であるブロック出力B2b~B7bを出力する。

【0069】また、図2における第3の領域203内の各画素情報の全てを累積加算するための加算器56a~56gが設けられ、この加算器56a~56gにはそれぞれ、各画素情報を蓄積しているレジスタの出力が、図3に示す係数を乗ずる増幅器を介して供給されている。

【0070】加算器56aは、図2の画素C7を中心とした第3の領域203の累積加算を行ってブロック出力C7bを出力し、加算器56b~56gはそれぞれ、画素C6、C5、C4、C3、C2、C1を中心とした第3の領域203の累積加算出力であるブロック出力C6b~C1bを出力する。

【0071】さらにまた、ブロック出力信号生成回路17は、図2に示す、補間画素位置を中心とした第4の領域204内の各画素情報の全てを累積加算してブロック出力Xbとして出力するための加算器57を備えてお

り、この加算器57には、補間画素に対応する位置の画素情報が蓄積されるレジスタの出力とその前後のレジスタの出力が図5に示す係数を乗ずる増幅器を介して供給され、加算器57はそれらの累積加算を行ってブロック出力Xbとして出力する。

【0072】図8は、図1に示す相関検出回路22の具体的回路図であり、第2の実施の形態に対応した構成を有している。

【0073】第1のブロック差分演算回路71には、一方の入力端にブロック信号生成回路17からのブロック信号B1b、B2b、B3b、B4b、B5b、B6b、B7bが供給され、第2のブロック差分演算回路72には、一方の入力端にブロック信号生成回路17からのブロック信号C7b、C6b、C5b、C4b、C3b、C2b、C1bが供給される。

【0074】第1及び第2のブロック差分演算回路71、72のそれぞれ他方の入力端には、ブロック信号Xbが供給され、各ブロック差分演算回路71、72でそれらの差分が演算され、演算結果が絶対値変換回路73で絶対値に変化されてブロック差分合成回路74に供給され、画素対のそれぞれの画素を中心とした領域に対応する差分値が合成されて出力される。ブロック差分合成回路74の出力は、オフセット付加回路75で、オフセット係数が乗ぜられた後、最小値検出回路76に供給され、ここで最も値の小さい画素対が、最も高い相関性を有する画素対であると認識される。

【0075】なお、本発明の第1の実施の形態の場合には、例えば、ブロック差分演算回路71でブロック信号B1b、B2b、B3b、B4b、B5b、B6b、B7bと、ブロック信号C7b、C6b、C5b、C4b、C3b、C2b、C1bの差分を取るように構成し、その差分をさらに絶対値変換回路73で絶対値に変換して、そのままあるいは、オフセット係数付加回路75を介して最小値検出回路76に供給し、ここで最も値の小さい画素対を、最も高い相関性を有する画素対であると認識するように構成することができる。

【0076】さらに、本発明の実施の形態を、1Hメモリ、レジスタ、増幅器、加算器、減算器等全てハード構成で実現するものとして説明したが、本発明は必ずしもハードだけで構成されるものではなく、ソフトウェアの処理により実現するように構成できることは述べるまでもない。以上のように、本発明の補間信号生成装置によれば、補間しようとする画素位置に対して、点対称となる画素の対を抽出して、その画素対の画素情報の相関を検出して高い相関性を有する画素対を特定し、その特定した画素対の画素情報に基づいて補間信号を生成するようにしたので、傾斜する境界を有する形状でも、ガタ付きなく滑らかに表示できるようになるものである。

【0077】

【発明の効果】以上説明したように、本発明によれば、

補間しようとする画素位置に対して、点対称となる画素対の画素情報の相関を検出し、高い相関性を有する画素対の画素情報に基づいて補間画素情報を決定して、補間信号を生成するようにしたので、傾斜部分の表示を含め画質を劣化させることのない補間が可能となる。

【図面の簡単な説明】

【図1】本発明に係る補間信号生成装置の一実施の形態を示すブロック図。

【図2】図1に示す回路の動作を説明するための構成図。

【図3】図1に示す回路の動作を説明するための構成図。

【図4】図1に示す回路の動作を説明するための構成図。

【図5】図1に示す回路の動作を説明するための構成図。

【図6】図1に示す回路の要部の具体例を示す回路図。

【図7】図1に示す回路の要部の具体例を示す回路図。

【図8】図1に示す回路の他の要部の具体例を示す回路*

* 図。

【図9】順次走査変換装置を示すブロック図。

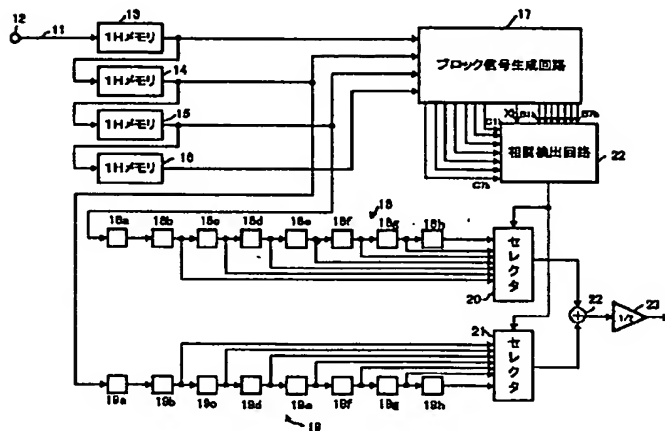
【図10】従来の補間信号生成装置を示す回路図。

【図11】図9の回路の動作を説明するための構成図。

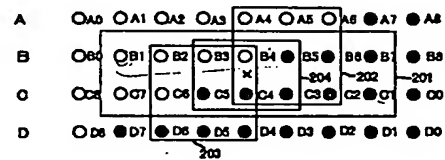
【符号の説明】

- 13, 14, 15, 16...1Hメモリ
17...ブロック信号生成回路
18, 19...レジスタ群
20, 21...セレクタ
22...加算器
23...増幅器
51a~51i, 52a~52i, 53a~53i, 54a~54i...レジスタ
55a~55g, 56a~56g, 57...加算器
71, 72...ブロック差分演算回路
73...絶対値変換回路
74...ブロック差分合成回路
75...オフセット付加回路
76...最小値検出回路

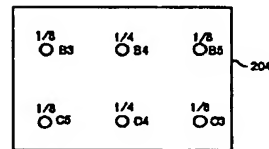
【図1】



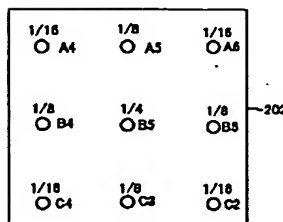
【図2】



【図3】



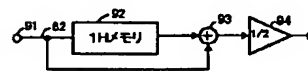
【図3】



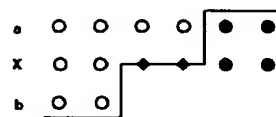
【図4】



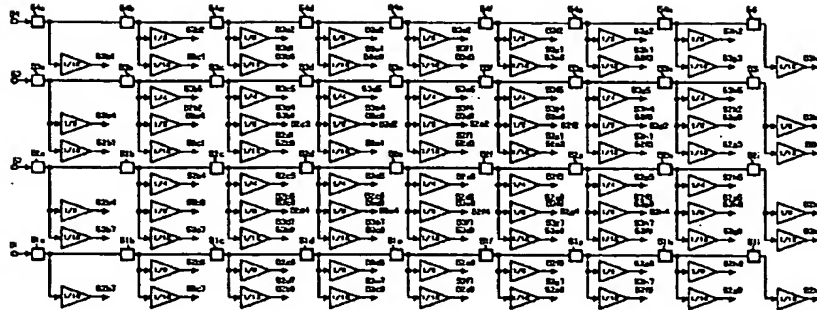
【図10】



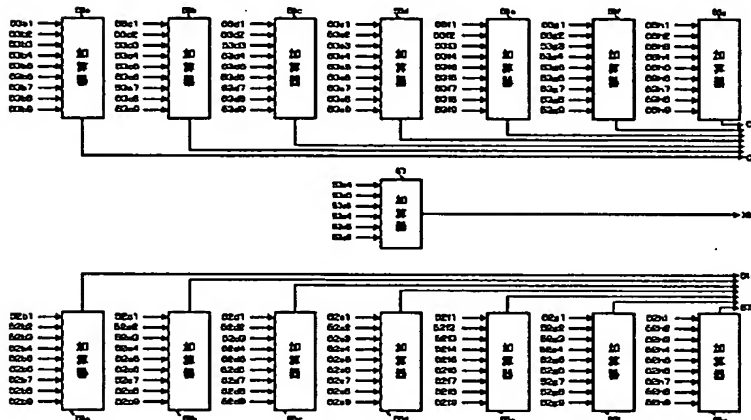
【図11】



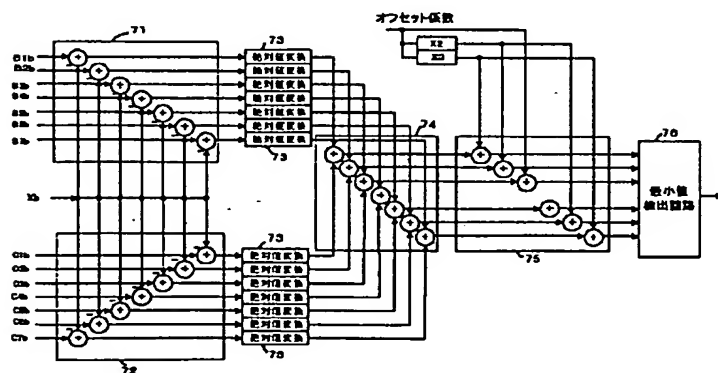
【図6】



【図7】



【図8】



【図9】

